



日本国特許庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されて
いる事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed
with this Office

出願年月日

Date of Application:

2001年 3月 6日

出願番号

Application Number:

特願2001-061828

[ST.10/C]:

[J P 2001-061828]

出願人

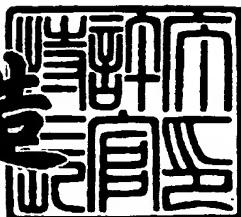
Applicant(s):

三洋電機株式会社

2002年 2月 19日

特許庁長官
Commissioner,
Japan Patent Office

及川耕造



出証番号 出証特2002-3008497

〔〕

【書類名】 特許願

【整理番号】 KIA1010031

【提出日】 平成13年 3月 6日

【あて先】 特許庁長官殿

【国際特許分類】 H01L 29/78

【発明者】

【住所又は居所】 大阪府守口市京阪本通2丁目5番5号 三洋電機株式会社内

【氏名】 日野 美徳

【発明者】

【住所又は居所】 新潟県小千谷市千谷甲3000番地 新潟三洋電子株式会社内

【氏名】 武石 直英

【特許出願人】

【識別番号】 000001889

【氏名又は名称】 三洋電機株式会社

【代表者】 桑野 幸徳

【代理人】

【識別番号】 100107906

【弁理士】

【氏名又は名称】 須藤 克彦

【電話番号】 0276-30-3151

【選任した代理人】

【識別番号】 100091605

【弁理士】

【氏名又は名称】 岡田 敬

【手数料の表示】

【予納台帳番号】 077770

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9904682

【ブルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体装置とそのパターンレイアウト方法

【特許請求の範囲】

【請求項1】 1ビットに相当する出力領域が複数個配列されて所望の出力ビット群を構成する1チップ化されたドライバ駆動用の半導体装置において、

複数の出力ビット群がチップ内の周辺部に配置されていることを特徴とする半導体装置。

【請求項2】 1ビットに相当する出力領域が複数個配列されて所望の出力ビット群を構成する1チップ化されたドライバ駆動用の半導体装置において、

複数の出力ビット群がチップ内の周辺部に配置され、その周辺部に配置された各出力ビットに結線される配線がチップ形状に合わせて周回するように配線されていることを特徴とする半導体装置。

【請求項3】 1ビットに相当する出力領域が複数個配列されて所望の出力ビット群を構成するドライバとメモリ部等が1チップ化された表示ディスプレイ駆動用ドライバを構成する半導体装置において、

前記ドライバが所望の出力ビット群毎にグループ分けされた状態でチップ内の周辺部に配置され、その周辺部に配置された各出力ビット群内の各出力ビットに結線される配線がチップ形状に合わせて周回するように配線されていることを特徴とする半導体装置。

【請求項4】 1ビットに相当する出力領域が複数個配列されて所望の出力ビット群を構成する陽極ドライバ並びに陰極ドライバとメモリ部等が1チップ化された表示ディスプレイ駆動用ドライバを構成する半導体装置において、

前記陽極ドライバもしくは陰極ドライバが所望の出力ビット群毎にグループ分けされた状態で各出力ビット群がチップ内の周辺部に配置され、その周辺部に配置された各出力ビットに結線される配線がチップ形状に合わせて周回するように配線されていることを特徴とする半導体装置。

【請求項5】 前記配線が、電源ライン及び信号ラインであることを特徴とする請求項2から請求項4のいずれかに記載の半導体装置。

【請求項6】 前記各出力ビット群が、前記メモリ部を取り囲むようにその

周辺部に配置されていることを特徴とする請求項3または請求項4に記載の半導体装置。

【請求項7】 1ビットに相当する出力領域が複数個配列されて所望の出力ビット群を構成する1チップ化されたドライバ駆動用の半導体装置のパターンレイアウト方法において、

複数の出力ビット群をチップ内の周辺部に配置することを特徴とする半導体装置のパターンレイアウト方法。

【請求項8】 1ビットに相当する出力領域が複数個配列されて所望の出力ビット群を構成する1チップ化されたドライバ駆動用の半導体装置のパターンレイアウト方法において、

複数の出力ビット群をチップ内の周辺部に配置し、その周辺部に配置された各出力ビットに結線される配線をチップ形状に合わせて周回するように配線することを特徴とする半導体装置のパターンレイアウト方法。

【請求項9】 1ビットに相当する出力領域が複数個配列されて所望の出力ビット群を構成するドライバとメモリ部等が1チップ化された表示ディスプレイ駆動用ドライバを構成する半導体装置のパターンレイアウト方法において、

前記ドライバを所望の出力ビット群毎にグループ分けした状態でチップ内の周辺部に配置し、その周辺部に配置した各出力ビット群内の各出力ビットに結線される配線をチップ形状に合わせて周回するように配線することを特徴とする半導体装置のパターンレイアウト方法。

【請求項10】 1ビットに相当する出力領域が複数個配列されて所望の出力ビット群を構成する陽極ドライバ並びに陰極ドライバとメモリ部等が1チップ化された表示ディスプレイ駆動用ドライバを構成する半導体装置のパターンレイアウト方法において、

前記陽極ドライバもしくは陰極ドライバを所望の出力ビット群毎にグループ分けした状態で各出力ビット群をチップ内の周辺部に配置し、その周辺部に配置した各出力ビットに結線される配線をチップ形状に合わせて周回するように配線することを特徴とする半導体装置のパターンレイアウト方法。

【請求項11】 前記配線が、電源ライン及び信号ラインであることを特徴とす

る請求項8から請求項10のいずれかに記載の半導体装置のパターンレイアウト方法。

【請求項12】 前記各出力ビット群を、前記メモリ部を取り囲むようにその周辺部に配置することを特徴とする請求項9または請求項10に記載の半導体装置のパターンレイアウト方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、半導体装置とそのパターンレイアウト方法に関し、更に言えば、例えば陽極ドライバと陰極ドライバ等を有し、それらが1チップ化された表示ディスプレイ駆動用ドライバ等を構成する半導体装置とそのパターンレイアウト方法に関する。

【0002】

【従来の技術】

以下、上記表示ディスプレイ駆動用ドライバ等を構成する半導体装置について図面を参照しながら説明する。

【0003】

上記表示ディスプレイには、LCDディスプレイ、LEDディスプレイ、有機EL（エレクトロ・ルミネッセンス）ディスプレイ、無機ELディスプレイ、PDP（プラズマ・ディスプレイ）、FED（フィールド・エミッション・ディスプレイ）等の各種フラット・パネル・ディスプレイがある。

【0004】

以下、一例として、例えば陽極ドライバと陰極ドライバを有し、有機EL素子に定電流を供給し、有機EL素子を発光させる有機ELディスプレイ駆動ドライバについて説明する。尚、EL素子は自発光であるため液晶表示装置で必要なバックライトを必要とせず、視野角にも制限がない等の多くの利点を有していることから、次世代の液晶表示装置への応用が期待されている。特に、有機EL素子は高輝度が可能で、高効率、高応答特性、並びに多色化の点で無機EL素子より優れていることが知られている。

【0005】

そして、上記有機ELディスプレイ駆動用ドライバは、例えばロジック系のNチャネル型MOSトランジスタ及びPチャネル型MOSトランジスタ、高耐圧系のNチャネル型MOSトランジスタ及びPチャネル型MOSトランジスタ、低オン抵抗化が図られた高耐圧系のNチャネル型MOSトランジスタ及びPチャネル型MOSトランジスタ、そしてレベルシフタ用のNチャネル型MOSトランジスタ等から構成される。

【0006】

ここで、低オン抵抗化が図られた高耐圧系のMOSトランジスタとして、例えばD (Double diffused) MOSトランジスタ等が用いられる。尚、上記DMOSトランジスタ構造とは、半導体基板表面側に形成した拡散層に対して、導電型の異なる不純物を拡散させて、新たな拡散層を形成し、これらの拡散層の横方向拡散の差を実効チャネル長として利用してなるものであり、短いチャネルが形成されることで、低オン抵抗化に適した素子となる。

【0007】

また、上記有機ELディスプレイ駆動用ドライバ等の各種ドライバを構成する場合における半導体装置のパターンレイアウトは、出力1ビット分のレイアウトが、必要な出力数だけ繰り返し配置されて成る構成となっている。

【0008】

【発明が解決しようとする課題】

ここで、上記有機ELディスプレイ駆動用ドライバを構成するとき、陽極ドライバ、陰極ドライバ、そしてメモリ部等はそれぞれ別々に構成されていた。そのため、それらを1つのプリント基板に搭載するものでは、コスト的にもサイズ的にも満足できるものではなかった。

【0009】

そして、陽極ドライバ、陰極ドライバ、そしてメモリ部等を1チップ化することで、チップサイズの縮小化並びに低コスト化を図りたいという要望があった。

【0010】

また、単に各種ドライバをその必要な出力数だけ繰り返し配置させて成る構成

では、配線の引き回し等のスペースが必要となりチップサイズの増大化を招くだけであった。

【0011】

即ち、図14(a)は表示ディスプレイ駆動用を構成する半導体装置のパターンレイアウトを示す平面図であり、上述したように出力1ビット分のレイアウトが必要な出力数だけ繰り返し配置されている。

【0012】

ここで、図14(a)における1は1ビット分に相当する出力領域であり、当該1ビット分の出力領域1が複数個配列されて所望の出力数を有するドライバ部が構成されている。尚、2は前記出力領域1内に形成されたゲート電極用配線であり、当該ゲート電極用配線2に隣接するようにソース領域(S)及びドレイン領域(D)が形成されている(図中円内の拡大図参照)。

【0013】

尚、図14(a)に示すゲート電極用配線2の形状は一例に過ぎず、例えば、図14(b)、(c)、(d)に示すような各種形状のゲート電極用配線2B、2C、2Dを構成するものであって構わない。このように出力1ビット分のレイアウトを必要な出力数だけ繰り返し配置する上記構成では、1チップ化する際の更なる多ビット化への要望に対し、配線の引き回しの不便さ、並びその引き回しスペースの確保等の問題から対応し切れなくなってきた。

【0014】

【課題を解決するための手段】

そこで、本発明の半導体装置とそのパターンレイアウト方法は、1ビットに相当する出力領域が複数個配列されて所望の出力ビット群を構成する1チップ化されたドライバ駆動用のものにおいて、複数の出力ビット群をチップ内の周辺部に配置したことを特徴とする。

【0015】

また、前記周辺部に配置された各出力ビットに結線される配線をチップ形状に合わせて周回するように配線したことを特徴とする。

【0016】

更に、本発明の半導体装置とそのパターンレイアウト方法は、ドライバとメモリ部等が1チップ化された表示ディスプレイ駆動用ドライバに適用され、前記ドライバを所望の出力ビット群毎にグループ分けした状態でチップ内の周辺部に配置し、その周辺部に配置した各出力ビット群内の各出力ビットに結線される配線をチップ形状に合わせて周回するように配線したことを特徴とする。

【0017】

また、前記ドライバが陽極ドライバ並びに陰極ドライバで、当該陽極ドライバもしくは陰極ドライバを所望の出力ビット群毎にグループ分けした状態で各出力ビット群をチップ内の周辺部に配置し、その周辺部に配置した各出力ビットに結線される配線をチップ形状に合わせて周回するように配線したことを特徴とする

【0018】

更に、前記配線が、電源ライン及び信号ラインであることを特徴とする。更にまた、前記各出力ビット群を、前記メモリ部を取り囲むようにその周辺部に配置したことを特徴とする。

【0019】

【発明の実施の形態】

以下、本発明の半導体装置とそのパターンレイアウト方法に係る一実施形態について図面を参照しながら説明する。尚、本実施形態では、表示ディスプレイの一例として有機ELディスプレイを例示し、当該有機ELディスプレイ駆動用ドライバを構成する各種MOSトランジスタが混載されて成る半導体装置について説明する。

【0020】

上記有機ELディスプレイ駆動用ドライバは、図10 (a) の左側からロジック系の（例えば、3V）Nチャネル型MOSトランジスタ及びPチャネル型MOSトランジスタ、レベルシフタ用の（例えば、30V）Nチャネル型MOSトランジスタ、高耐圧系の（例えば、30V）Nチャネル型MOSトランジスタ、図10 (b) の左側から低オン抵抗化が図られた高耐圧系の（例えば、30V）Nチャネル型MOSトランジスタ、高耐圧系の（例えば、30V）Pチャネル型M

OSトランジスタ、及び低オン抵抗化が図られた高耐圧系の（例えば、30V）Pチャネル型MOSトランジスタで構成される。

【0021】

尚、説明の便宜上、上記高耐圧系のMOSトランジスタと低オン抵抗化が図られた高耐圧系のMOSトランジスタとを差別化するため、以下の説明では低オン抵抗化が図られた高耐圧系のMOSトランジスタをSLED (Slit channel by counter doping with extended shallow drain) MOSトランジスタと呼称する。

【0022】

このような有機ELディスプレイ駆動用ドライバを構成する各種MOSトランジスタが混載されて成る半導体装置では、図10に示すように上記高耐圧系のPチャネル型MOSトランジスタと上記低オン抵抗化が図られた高耐圧系のPチャネル型SLED MOSトランジスタが構成されるN型ウエル23が段差高部となり、その他の各種MOSトランジスタが構成されるP型ウエル22が段差低部に構成される。言い換えれば、微細なロジック系の（例えば、3V）Nチャネル型MOSトランジスタ及びPチャネル型MOSトランジスタが段差低部に配置されるように構成されている。

【0023】

以下、上記半導体装置の製造方法について説明する。

【0024】

先ず、図1において、各種MOSトランジスタを構成するための領域を画定するため、例えばP型の半導体基板(P-sub)21内にP型ウエル(PW)22及びN型ウエル(NW)23をLOCOS法を用いて形成する。即ち、図示した説明は省略するが、前記基板21のN型ウエル形成領域上にパッド酸化膜及びシリコン窒化膜を形成し、当該パッド酸化膜及びシリコン窒化膜をマスクにして、例えばボロンイオンをおよそ80KeVの加速電圧で、 $8 \times 10^{12} / \text{cm}^2$ の注入条件でイオン注入して、イオン注入層を形成する。その後、前記シリコン窒化膜をマスクに基板表面をLOCOS法によりフィールド酸化してLOCOS膜を形成する。このとき、LOCOS膜形成領域下にイオン注入されていたボロ

ンイオンが基板内部に拡散されてP型層が形成される。

【0025】

次に、前記パッド酸化膜及びシリコン窒化膜を除去した後に、前記LOCOS膜をマスクに基板表面にリンイオンをおよそ80KeVの加速電圧で、 $9 \times 10^{12} / \text{cm}^2$ の注入条件でイオン注入してイオン注入層を形成する。そして、前記LOCOS膜を除去した後に、前記基板に注入された各不純物イオンを熱拡散させて、P型ウエル及びN型ウエルを形成することで、図1に示すように前記基板21内に形成されるP型ウエル22は段差低部に配置され、N型ウエル23は段差高部に配置される。

【0026】

そして、図2において、各MOSトランジスタ毎に素子分離するため、およそ500nm程度の素子分離膜24をLOCOS法により形成し、この素子分離膜24以外の活性領域上におよそ80nm程度の高耐圧用の厚いゲート酸化膜25を熱酸化により形成する。

【0027】

続いて、レジスト膜をマスクにして第1の低濃度のN型及びP型のソース・ドレイン層（以下、LN層26、LP層27と称す。）を形成する。即ち、先ず、不図示のレジスト膜でLN層形成領域上以外の領域を被覆した状態で基板表層に、例えばリンイオンをおよそ120KeVの加速電圧で、 $8 \times 10^{12} / \text{cm}^2$ の注入条件でイオン注入してLN層26を形成する。その後、レジスト膜（PR）でLP層形成領域上以外の領域を被覆した状態で基板表層に、例えばボロンイオンをおよそ120KeVの加速電圧で、 $8.5 \times 10^{12} / \text{cm}^2$ の注入条件でイオン注入してLP層27を形成する。尚、実際には後工程のアニール工程（例えば、1100℃のN₂雰囲気中で、2時間）を経て、上記イオン注入された各イオン種が熱拡散されてLN層26及びLP層27となる。

【0028】

続いて、図3において、Pチャネル型及びNチャネル型SLED MOSトランジスタ形成領域の形成された前記LN層26間及びLP層27間にレジスト膜をマスクにしてそれぞれ第2の低濃度のN型及びP型のソース・ドレイン層（以下

、SLN層28及びSLP層29と称す。)を形成する。即ち、先ず、不図示のレジスト膜でSLN層形成領域上以外の領域を被覆した状態で基板表層に、例えばリンイオンをおよそ120KeVの加速電圧で、 $1.5 \times 10^{12}/\text{cm}^2$ の注入条件でイオン注入して前記LN層26に連なるSLN層28を形成する。その後、レジスト膜(PR)でSLP層形成領域上以外の領域を被覆した状態で基板表層に、例えばニフッ化ボロンイオン($^{49}\text{BF}_2^+$)をおよそ140KeVの加速電圧で、 $2.5 \times 10^{12}/\text{cm}^2$ の注入条件でイオン注入して前記LP層27に連なるSLP層29を形成する。尚、前記LN層26と前記SLN層28または前記LP層27と前記SLP層29の不純物濃度は、ほぼ同等であるか、どちらか一方が高くなるように設定されている。

【0029】

更に、図4において、レジスト膜をマスクにして高濃度のN型及びP型のソース・ドレイン層(以下、N+層30、P+層31と称す。)を形成する。即ち、先ず、不図示のレジスト膜でN+層形成領域上以外の領域を被覆した状態で基板表層に、例えばリンイオンをおよそ80KeVの加速電圧で、 $2 \times 10^{15}/\text{cm}^2$ の注入条件でイオン注入してN+層30を形成する。その後、レジスト膜(PR)でP+層形成領域上以外の領域を被覆した状態で基板表層に、例えばニフッ化ボロンイオンをおよそ140KeVの加速電圧で、 $2 \times 10^{15}/\text{cm}^2$ の注入条件でイオン注入してP+層31を形成する。

【0030】

次に、図5において、前記SLN層28及びSLP層29の形成用のマスク開口径(図3参照)よりも細い開口径を有するレジスト膜をマスクにして前記LN層26に連なるSLN層28の中央部及び前記LP層27に連なるSLP層29の中央部にそれぞれ逆導電型の不純物をイオン注入することで、当該SLN層28及びSLP層29を分断するP型ボディ層32及びN型ボディ層33を形成する。即ち、先ず、不図示のレジスト膜でP型層形成領域上以外の領域を被覆した状態で基板表層に、例えばニフッ化ボロンイオンをおよそ120KeVの加速電圧で、 $5 \times 10^{12}/\text{cm}^2$ の注入条件でイオン注入してP型ボディ層32を形成する。その後、レジスト膜(PR)でN型層形成領域上以外の領域を被覆した状

態で基板表層に、例えばリンイオンをおよそ190KeVの加速電圧で、 $5 \times 10^{12} / \text{cm}^2$ の注入条件でイオン注入してN型ボディ層33を形成する。尚、上記図3～図5に示すイオン注入工程に関する作業工程順は、適宜変更可能なものであり、前記P型ボディ層32及びN型ボディ層33の表層部にチャネルが構成される。

【0031】

更に、図6において、前記通常耐圧用の微細化Nチャネル型及びPチャネル型MOSトランジスタ形成領域の基板（P型ウエル22）内に第2のP型ウエル（SPW）34及び第2のN型ウエル（SNW）35を形成する。

【0032】

即ち、前記通常耐圧のNチャネル型MOSトランジスタ形成領域上に開口を有する不図示のレジスト膜をマスクにして前記P型ウエル22内に、例えばボロンイオンをおよそ190KeVの加速電圧で、 $1.5 \times 10^{13} / \text{cm}^2$ の第1の注入条件でイオン注入後、同じくボロンイオンをおよそ50KeVの加速電圧で、 $2.6 \times 10^{12} / \text{cm}^2$ の第2の注入条件でイオン注入して、第2のP型ウエル34を形成する。また、前記通常耐圧用のPチャネル型MOSトランジスタ形成領域上に開口を有するレジスト膜（PR）をマスクにして前記P型ウエル22内に例えばリンイオンをおよそ380KeVの加速電圧で、 $1.5 \times 10^{13} / \text{cm}^2$ の注入条件でイオン注入して、第2のN型ウエル35を形成する。尚、380KeV程度の高加速電圧発生装置が無い場合には、2価のリンイオンをおよそ190KeVの加速電圧で、 $1.5 \times 10^{13} / \text{cm}^2$ の注入条件でイオン注入するダブルチャージ方式でも良い。続いてリンイオンをおよそ140KeVの加速電圧で、 $4.0 \times 10^{12} / \text{cm}^2$ の注入条件でイオン注入する。

【0033】

次に、通常耐圧用のNチャネル型及びPチャネル型MOSトランジスタ形成領域上とレベルシフタ用のNチャネル型MOSトランジスタ形成領域上の前記ゲート酸化膜25を除去した後に、図7に示すように、この領域上に新たに所望の膜厚のゲート酸化膜を形成する。

【0034】

即ち、先ず、全面にレベルシフタ用のNチャネル型MOSトランジスタ用におよそ14nm程度（この段階では、およそ7nm程度であるが、後述する通常耐圧用のゲート酸化膜形成時に膜厚が増大する。）のゲート酸化膜36を熱酸化により形成する。続いて、通常耐圧用のNチャネル型及びPチャネル型MOSトランジスタ形成領域上に形成された前記レベルシフタ用のNチャネル型MOSトランジスタのゲート酸化膜36を除去した後に、この領域に通常耐圧用の薄いゲート酸化膜37（およそ7nm程度）を熱酸化により形成する。

【0035】

続いて、図8において、全面におよそ100nm程度のポリシリコン膜を形成し、このポリシリコン膜にPOCl₃を熱拡散源として熱拡散し導電化した後に、このポリシリコン膜上におよそ100nm程度のタングステンシリサイド膜、更にはおよそ150nm程度のSiO₂膜を積層し、不図示のレジスト膜を用いてパターニングして各MOSトランジスタ用のゲート電極38A, 38B, 38C, 38D, 38E, 38F, 38Gを形成する。尚、前記SiO₂膜は、パターニング時のハードマスクとして働く。

【0036】

続いて、図9において、前記通常耐圧用のNチャネル型及びPチャネル型MOSトランジスタ用に低濃度のソース・ドレイン層を形成する。

【0037】

即ち、先ず、通常耐圧用のNチャネル型MOSトランジスタ用の低濃度ソース・ドレイン層形成領域上以外の領域を被覆する不図示のレジスト膜をマスクにして、例えばリンイオンをおよそ20KeVの加速電圧で、 $6.2 \times 10^{13} / \text{cm}^2$ の注入条件でイオン注入して、低濃度のN-型ソース・ドレイン層39を形成する。また、通常耐圧用のPチャネル型MOSトランジスタ用の低濃度ソース・ドレイン層形成領域上以外の領域を被覆するレジスト膜(PR)をマスクにして、例えばニフッ化ボロンイオンをおよそ20KeVの加速電圧で、 $2 \times 10^{13} / \text{cm}^2$ の注入条件でイオン注入して、低濃度のP-型ソース・ドレイン層40を形成する。

【0038】

更に、図10において、全面に前記ゲート電極38A, 38B, 38C, 38D, 38E, 38F, 38Gを被覆するようによそ250nm程度のTEOS膜41をLPCVD法により形成し、前記通常耐圧用のNチャネル型及びPチャネル型MOSトランジスタ形成領域上に開口を有するレジスト膜(PR)をマスクにして前記TEOS膜41を異方性エッチングする。これにより、図10に示すように前記ゲート電極38A, 38Bの両側壁部にサイドウォールスペーサ膜41Aが形成され、前記レジスト膜(PR)で被覆された領域にはTEOS膜41がそのまま残る。

【0039】

そして、前記ゲート電極38Aとサイドウォールスペーサ膜41A並びに、前記ゲート電極38Bとサイドウォールスペーサ膜41Aをマスクにして、前記通常耐圧用のNチャネル型及びPチャネル型MOSトランジスタ用に高濃度のソース・ドレイン層を形成する。

【0040】

即ち、通常耐圧用のNチャネル型MOSトランジスタ用の高濃度ソース・ドレイン層形成領域上以外の領域を被覆する不図示のレジスト膜をマスクにして、例えばヒ素イオンをおよそ100KeVの加速電圧で、 $5 \times 10^{15} / \text{cm}^2$ の注入条件でイオン注入して、高濃度のN+型ソース・ドレイン層42を形成する。また、通常耐圧用のPチャネル型MOSトランジスタ用の高濃度ソース・ドレイン層形成領域上以外の領域を被覆する不図示のレジスト膜をマスクにして、例えばニフッ化ボロンイオンをおよそ40KeVの加速電圧で、 $2 \times 10^{15} / \text{cm}^2$ の注入条件でイオン注入して、高濃度のP+型ソース・ドレイン層43を形成する

【0041】

以下、図示した説明は省略するが、全面にTEOS膜及びBPSG膜等からなるおよそ600nm程度の層間絶縁膜を形成した後に、前記各高濃度のソース・ドレイン層30, 31, 42, 43にコンタクト接続する金属配線層を形成することで、前記有機ELディスプレイ駆動用ドライバを構成する通常耐圧用のNチャネル型MOSトランジスタ及びPチャネル型MOSトランジスタ、レベルシフ

タ用のNチャネル型MOSトランジスタ、高耐圧用のNチャネル型MOSトランジスタ及びPチャネル型MOSトランジスタ、低オン抵抗化が図られた高耐圧用のNチャネル型SLED MOSトランジスタ及びPチャネル型SLED MOSトランジスタが完成する（図10参照）。

【0042】

ここで、本発明の特徴は、表示ディスプレイ駆動用ドライバ、例えば有機EL素子（有機エレクトロ・ルミネッセンス素子）に定電流を供給し、有機EL素子を発光させる有機ELディスプレイ駆動用ドライバ等において、陽極ドライバと陰極ドライバと表示データ等を記憶するメモリ部並びにコントローラ等を1チップ化する場合の効率の良いパターンレイアウト方法にある。

【0043】

以下、本発明のパターンレイアウト構成について図面を参照しながら説明する。尚、従来（図14）と同等の構成については、重複した説明を避けるため同符号を付して説明を簡略化する。

【0044】

図11において、1は出力1ビット分に相当する出力領域であり、有機ELディスプレイ駆動用ドライバ等の各種駆動用ドライバを構成する半導体装置のパターンレイアウトは、この1ビット分の出力領域1を必要な出力分だけ繰り返し配置することで、所望の出力ビット群を構成している。

【0045】

そして、前記1ビット分の出力領域1内には、図14と同様にゲート電極用配線が形成されている。

【0046】

ここで、本発明の特徴は、陽極ドライバと陰極ドライバとメモリ部並びにコントローラ（図示省略）等を1チップ化して、図11の紙面左上から、32ビットの陽極ドライバ領域10（セグメント：SEG）、128ビットの陰極ドライバ領域11（コモン：COM）、32ビットの陽極ドライバ領域12（SEG）、紙面左下から、32ビットの陽極ドライバ領域13（SEG）、10ビットのアイコン用の陽極ドライバ領域14（アイコンSEG）、10ビットのアイコン用

の陽極ドライバ領域15（アイコンSEG）、32ビットの陽極ドライバ領域16（SEG）を配置している。尚、それぞれのドライバ領域は、出力1ビット分に相当する出力領域1を必要な出力分だけ繰り返し配置することで、所望の出力ビット群を構成している。

【0047】

このように本発明では、各ドライバ領域（陽極ドライバ領域10、陰極ドライバ領域11、陽極ドライバ領域12、陽極ドライバ領域13、アイコン用の陽極ドライバ領域14、アイコン用の陽極ドライバ領域15、そして陽極ドライバ領域16）をチップ内の周辺部に均等配置させ、そのチップの略中央部に表示データ等を記憶するメモリ部17、18及びコントローラ等が配置されている。また、各ドライバ領域に沿って電源ライン及び信号ライン等の配線19が引き回し配線され、当該配線19が各1ビット分の出力領域1毎に結線されている。

【0048】

以上説明したように本発明では、陽極ドライバと陰極ドライバとメモリ部並びにコントローラ等を1チップ化する際に、電源ライン及び信号ライン等の配線19をチップ形状に合わせて周回させることで、例えば4方向全てにドライバ出力を配置できる。

【0049】

また、メモリ部並びにコントローラ等は、チップ中央部に配置することで、配線効率が良くなり、チップサイズの縮小化が図れる。即ち、図12に示すようにチップ中央部の対称な位置（本実施形態では、左右対称であるが、チップ内の配列に併せて上下対称な位置でも良い。）にSRAM（スタティックRAM）から成るメモリ部17、18が配置され、当該メモリ部17、18からの出力配線20がそれぞれ前記陽極ドライバ領域10、12、13、16に結線されている。

【0050】

このように本発明では、メモリ部17、18と結線されるドライバ（本実施形態では、陽極ドライバ）をチップ内の周辺部4方向に配置させ、各陽極ドライバ領域10、12、13、16に併せてメモリ部を2分割して、チップの左端部に配置された陽極ドライバ領域10と13のグループと、チップの右端部に配置さ

れた陽極ドライバ領域12と16のグループとにそれぞれ対応させることで、配線20の引き回しが容易となり、その引き回しスペースの縮小により、その分だけチップサイズの微細化が図れる。

【0051】

以下、チップ内に配置される各ドライバ領域の他のレイアウト方法について図13を参照しながら説明する。尚、図13(a)は、前記図12に示したパターンレイアウトを模式的に図示したもので、この図13(a)の配置例を種々変更したものが、後述する図13(b)、(c)、(d)の配置例である。また、便宜上、メモリ部は省略してある。

【0052】

先ず、図13(b)に示す配置例は、図13(a)において陽極ドライバ領域10と12のそれに紙面に対して上下位置に向かい合っていた陽極ドライバ領域13と16を、前記陽極ドライバ領域10と12にそれぞれ90度隣り合うように配置し、かつ陽極ドライバ領域13と16にそれぞれ隣り合うようにアイコン用の陽極ドライバ領域14、15を配置したものである。これにより、チップの紙面に対して下側の比較的広い領域が空くことになり、他のロジック部やコントローラ等を配置する場合の自由度が増す。

【0053】

また、図13(c)に示す配置例は、図13(a)においてアイコン用の陽極ドライバ領域14、15並びに陽極ドライバ領域13と16をそれぞれ近接配置し、かつ陽極ドライバ領域10と12を陽極ドライバ領域13と16にそれぞれ90度隣り合うように配置したものである。これにより、図13(a)、(b)のものに比してチップサイズを微細化できる。

【0054】

また、図13(d)に示す配置例は、微細化という点では図13(c)に示す配置例に劣るが、図13(a)、(b)に示すチップサイズと同等サイズで、更なる多ビット化が図れる。尚、8、9、11Aは、それぞれ上記図13(a)、(b)、(c)における陽極ドライバ領域並びに陰極ドライバ領域よりも多ビット化された陽極ドライバ領域並びに陰極ドライバ領域である。

【0055】

尚、本実施形態では表示ディスプレイとして、有機ELディスプレイを例にして、その駆動用ドライバについて説明したが、本発明はそれに限定されるものではなく、例えばLCDディスプレイ、LEDディスプレイ、無機ELディスプレイ、PDP（プラズマ・ディスプレイ）、FED（フィールド・エミッション・ディスプレイ）等の各種フラット・パネル・ディスプレイの駆動用ドライバに適用可能なものであり、繰り返し回路が挿入され、必要に応じてビット数が決められる用途であれば適用可能なものである。

【0056】

【発明の効果】

本発明によれば、ドライバ領域をチップ内の周辺部に均等配置させ、各ドライバ領域に沿って電源ライン及び信号ライン等の配線を引き回し配線することで、配線の引き回しスペースが縮小化される。また、メモリ部等は、チップ中央部に配置することで、配線効率が良くなり、チップサイズの縮小化が図れる。

【0057】

更に、陽極ドライバや陰極ドライバ等を有する表示ディスプレイ駆動用ドライバ等に適用することで、これらを1チップ化することができ、微細化、低成本化が図れる。

【図面の簡単な説明】

【図1】

本発明の一実施形態の半導体装置の製造方法を示す断面図である。

【図2】

本発明の一実施形態の半導体装置の製造方法を示す断面図である。

【図3】

本発明の一実施形態の半導体装置の製造方法を示す断面図である。

【図4】

本発明の一実施形態の半導体装置の製造方法を示す断面図である。

【図5】

本発明の一実施形態の半導体装置の製造方法を示す断面図である。

【図6】

本発明の一実施形態の半導体装置の製造方法を示す断面図である。

【図7】

本発明の一実施形態の半導体装置の製造方法を示す断面図である。

【図8】

本発明の一実施形態の半導体装置の製造方法を示す断面図である。

【図9】

本発明の一実施形態の半導体装置の製造方法を示す断面図である。

【図10】

本発明の一実施形態の半導体装置の製造方法を示す断面図である。

【図11】

本発明の一実施形態の半導体装置のパターンレイアウトを示す平面図である。

【図12】

本発明の一実施形態の半導体装置のパターンレイアウトを示す平面図である。

【図13】

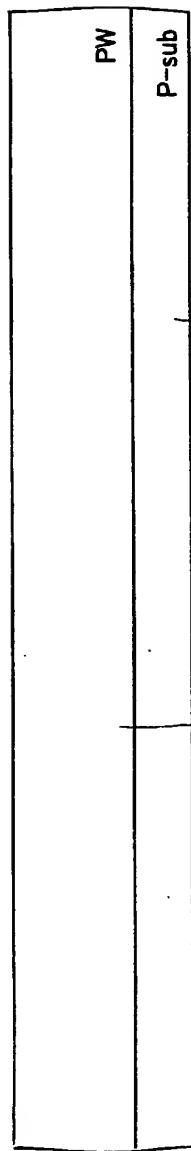
本発明の他の実施形態の半導体装置のパターンレイアウトを示す平面図である。

【図14】

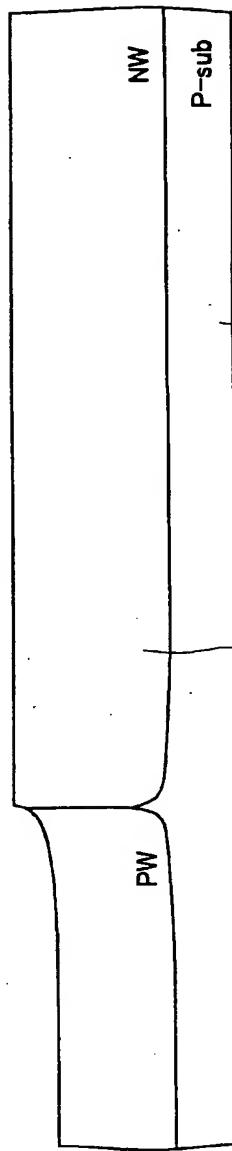
従来の半導体装置のパターンレイアウトを示す平面図である。

【書類名】 図面

【図1】



21: 半導体基板
22: P型ウエル

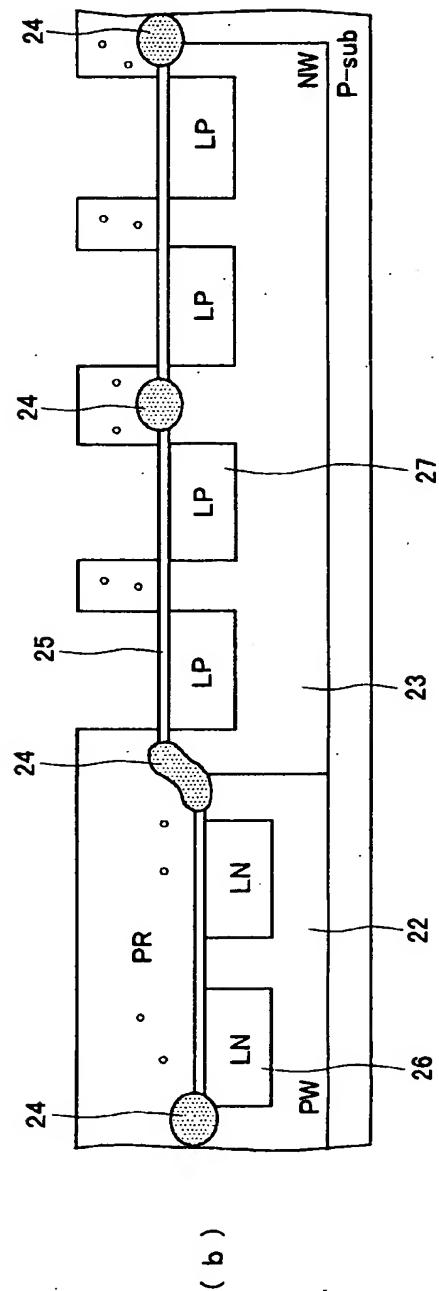
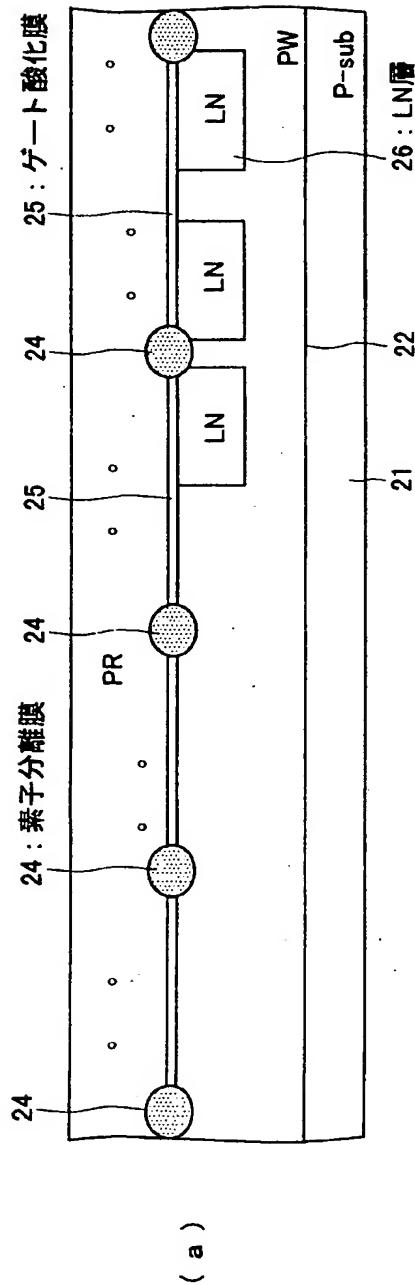


21
23: N型ウエル

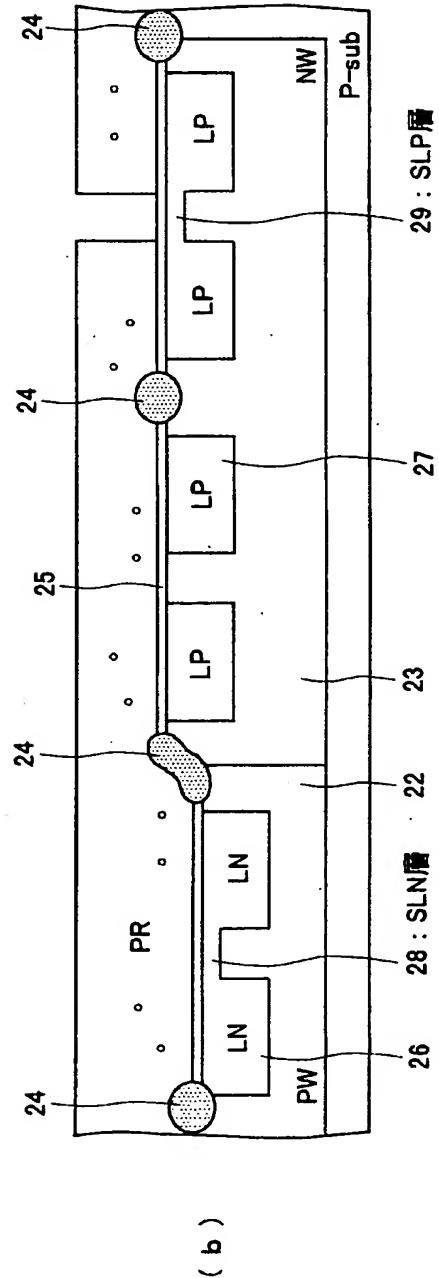
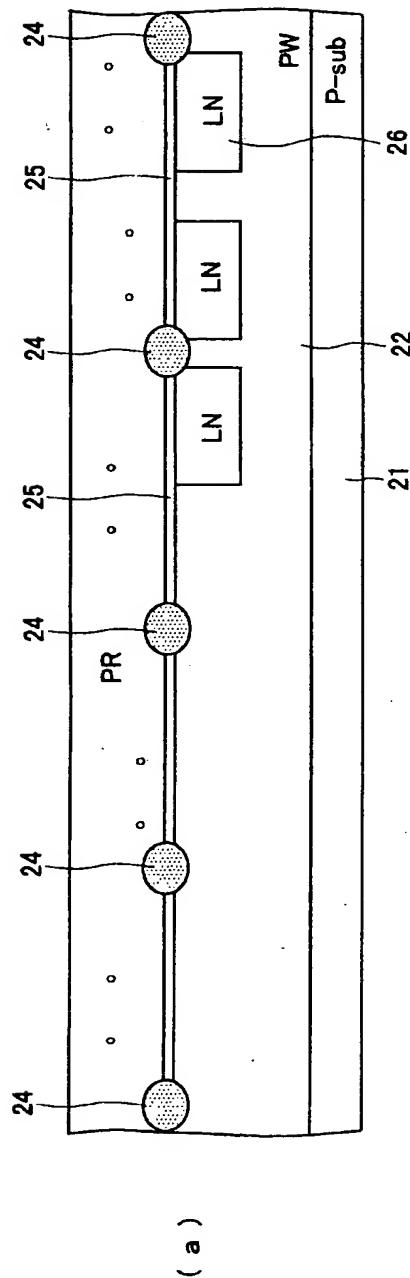
(a)

(b)

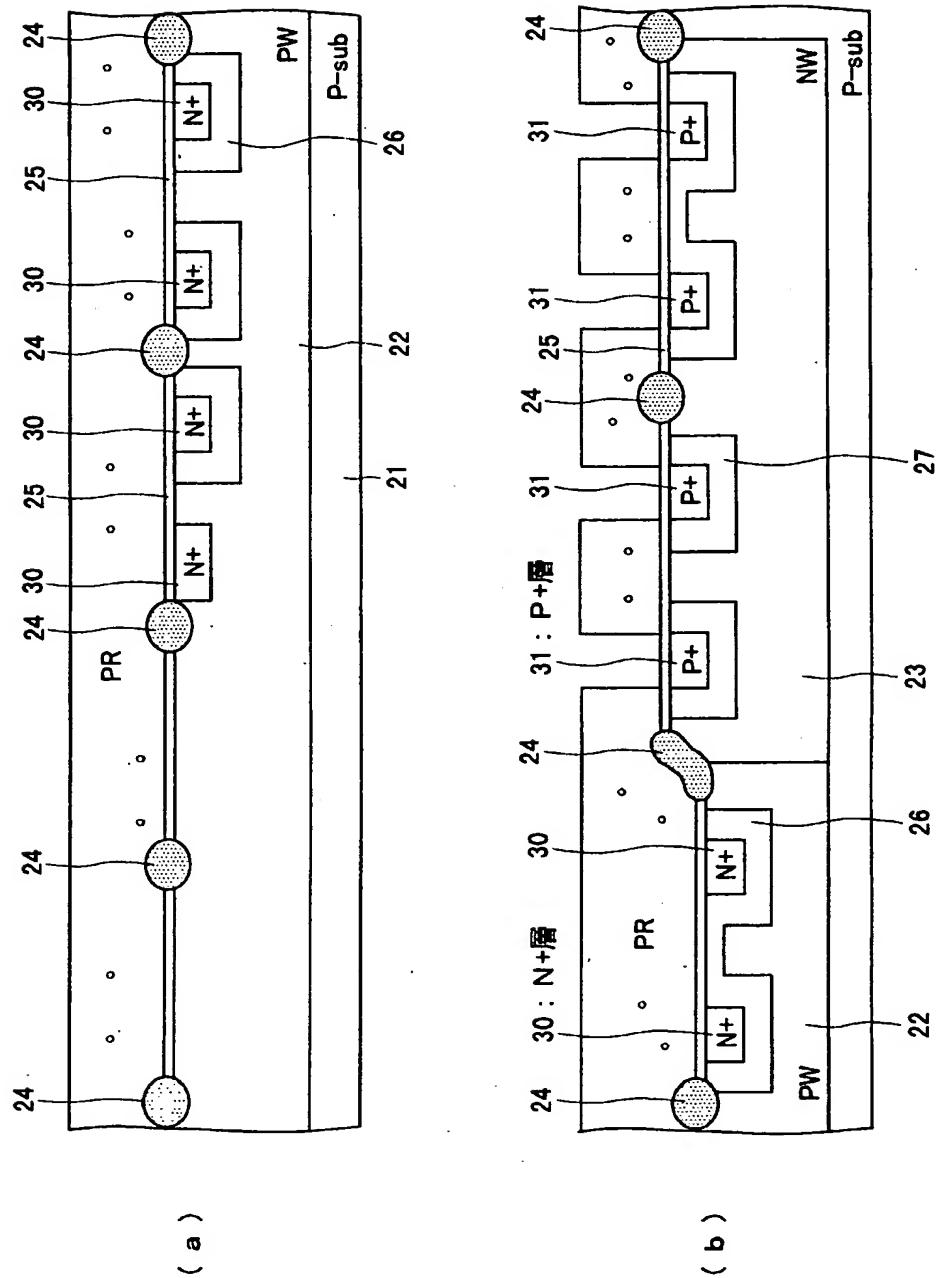
【図2】



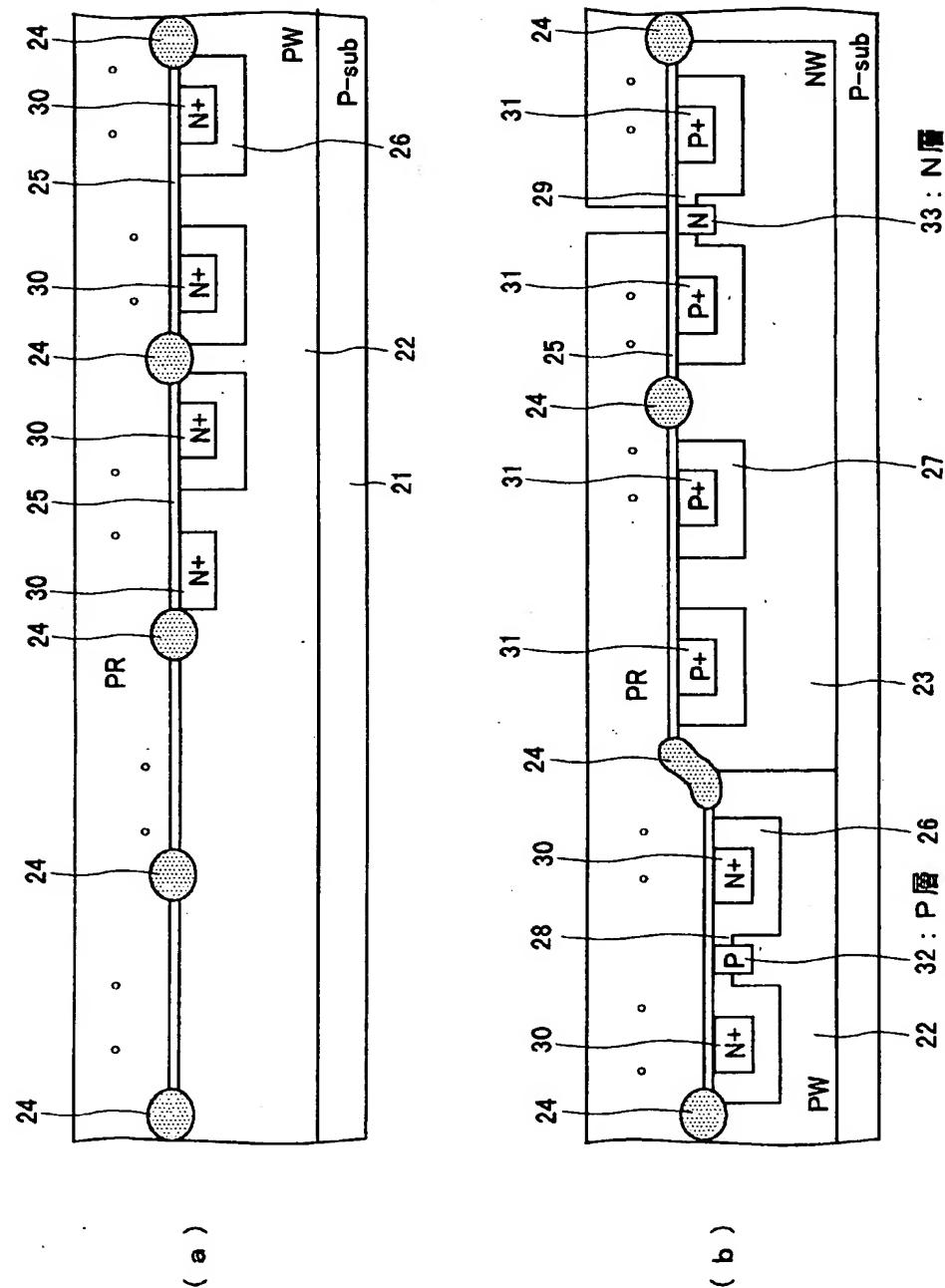
【図3】



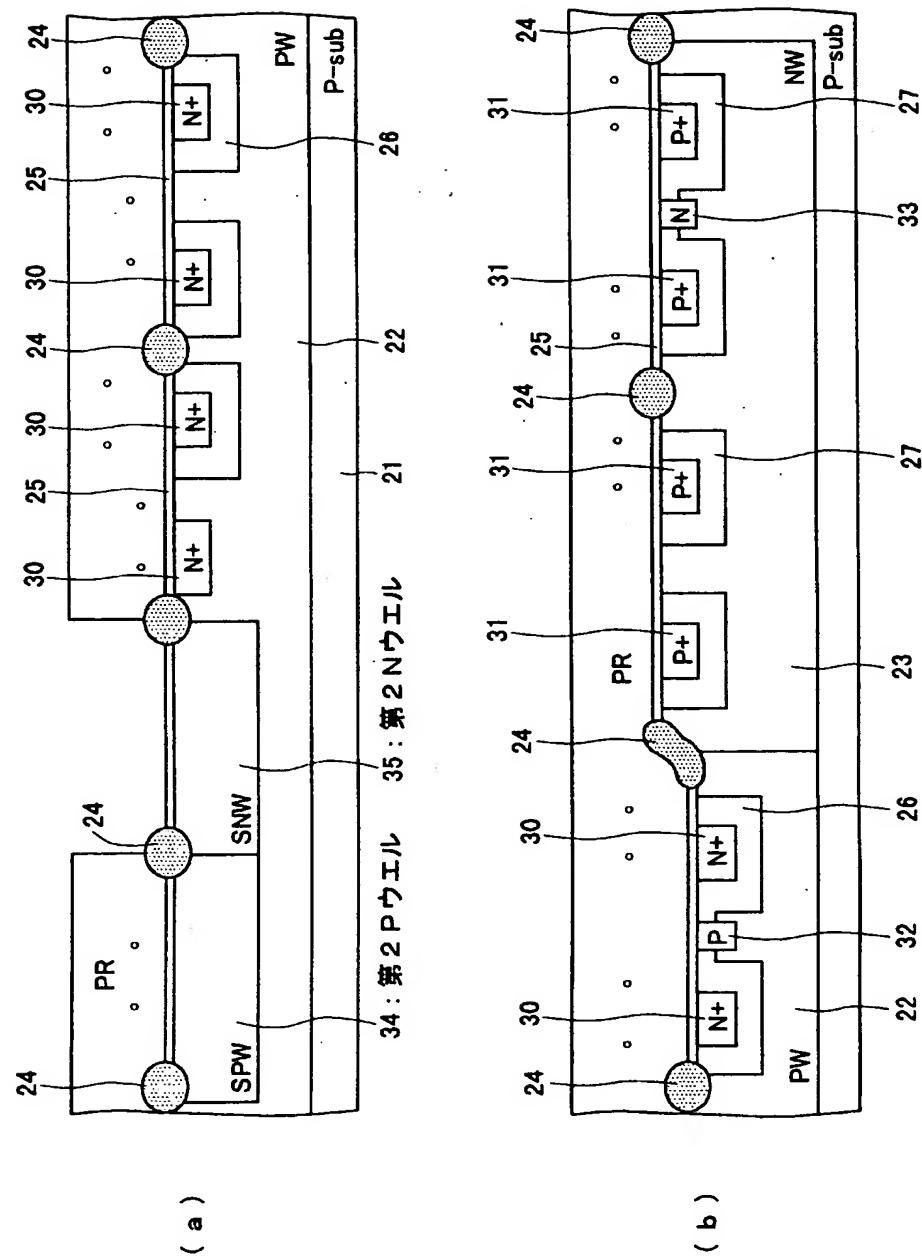
【図4】



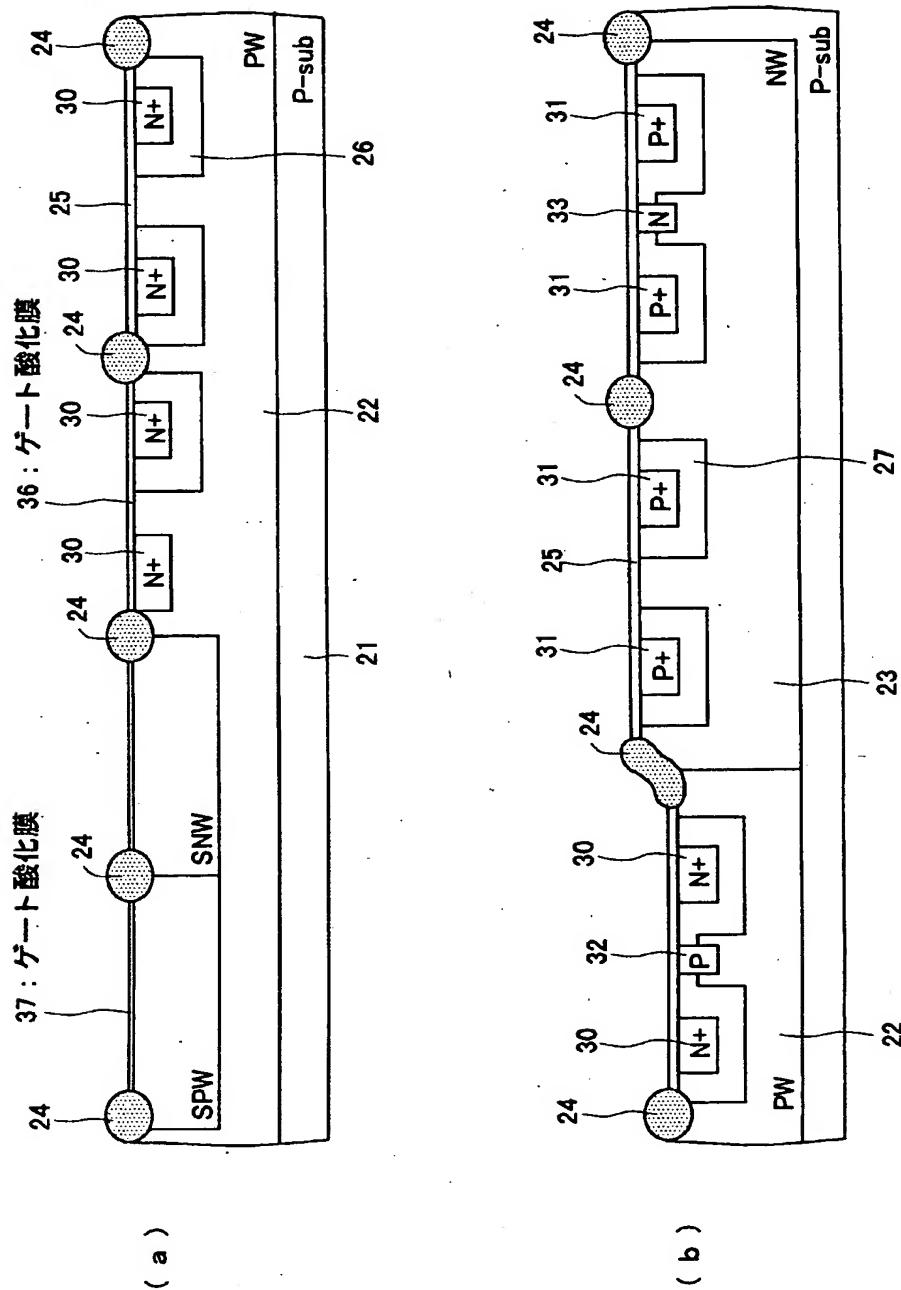
【図5】



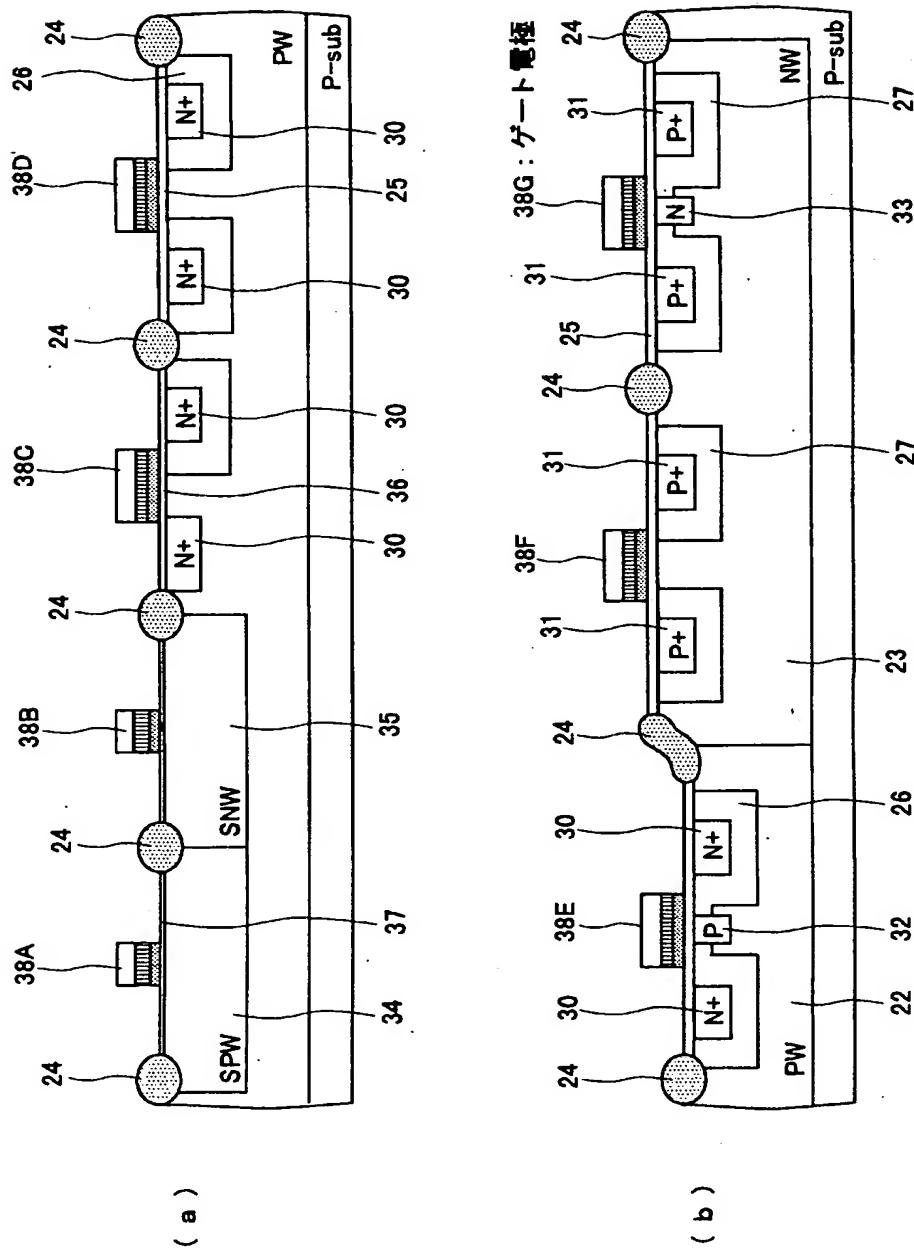
【図6】



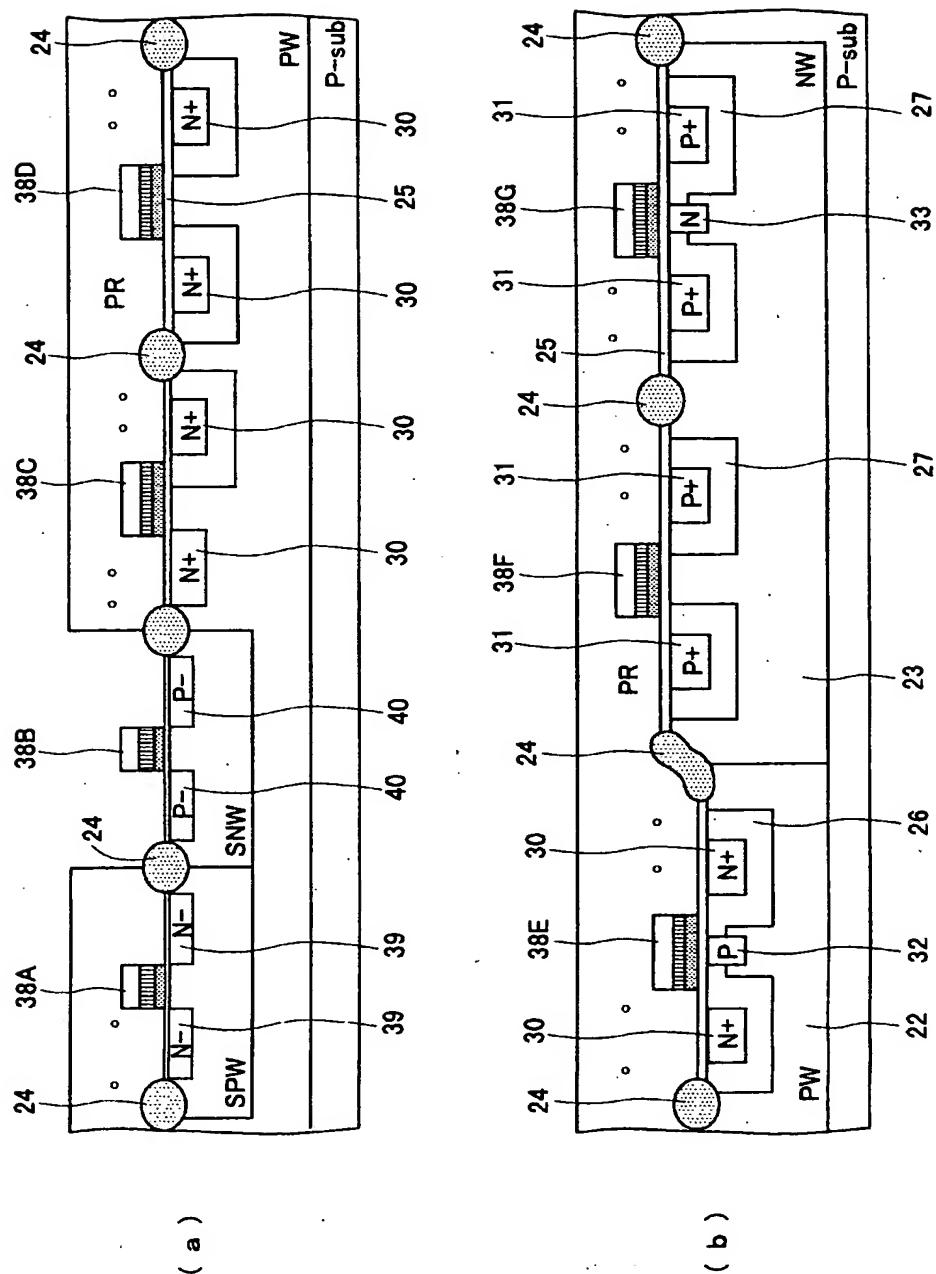
【図7】



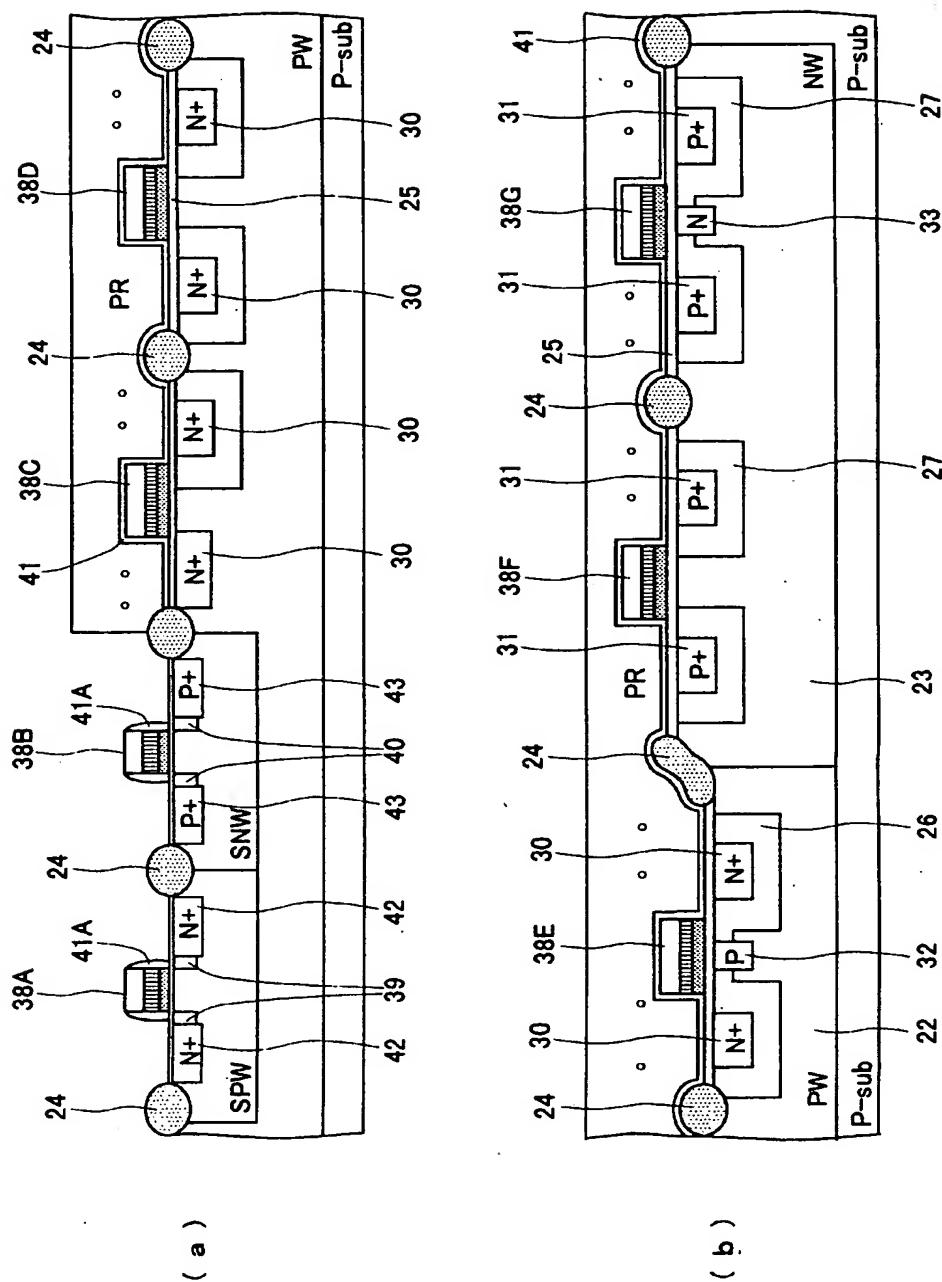
【図 8】



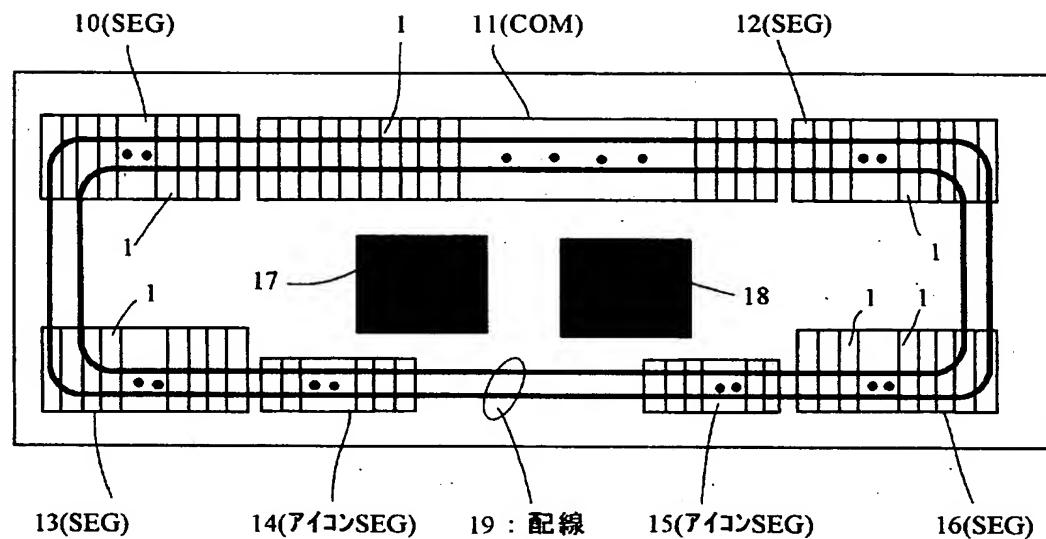
【図9】



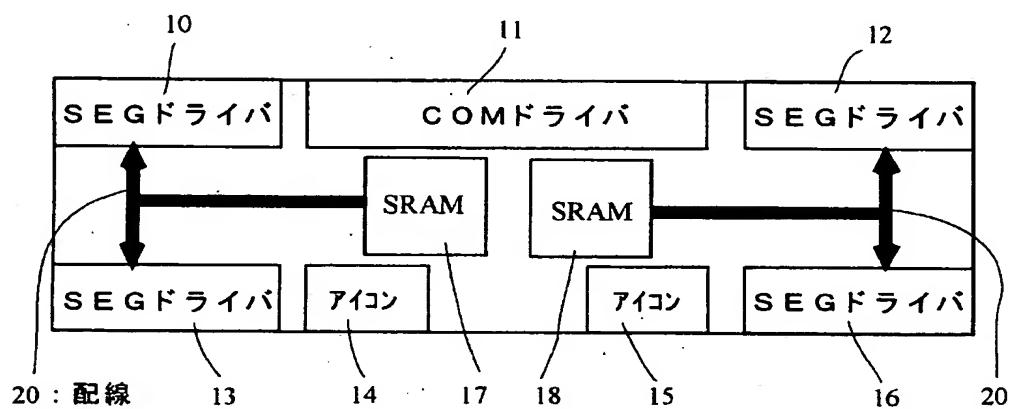
【図10】



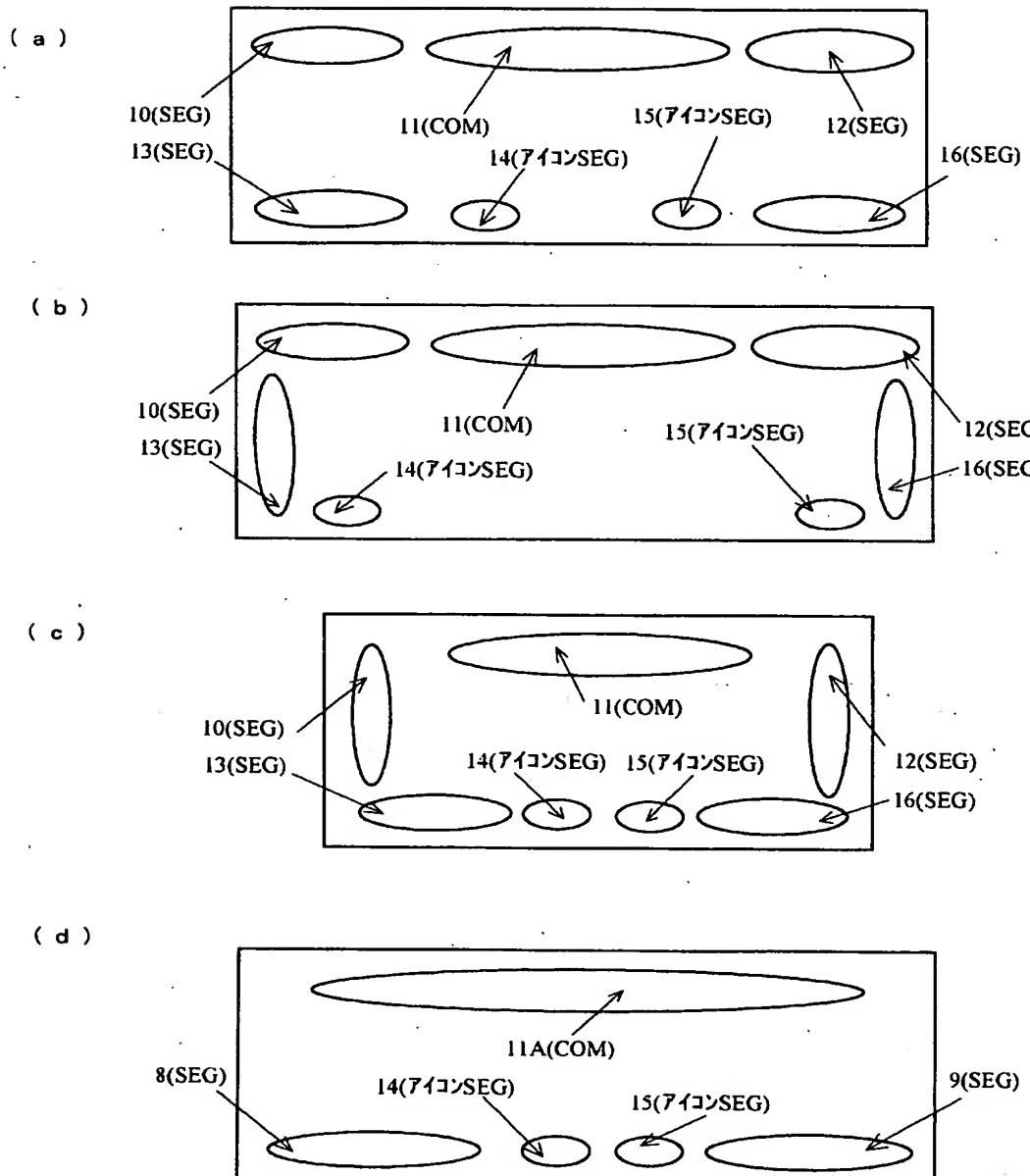
【図11】



【図12】

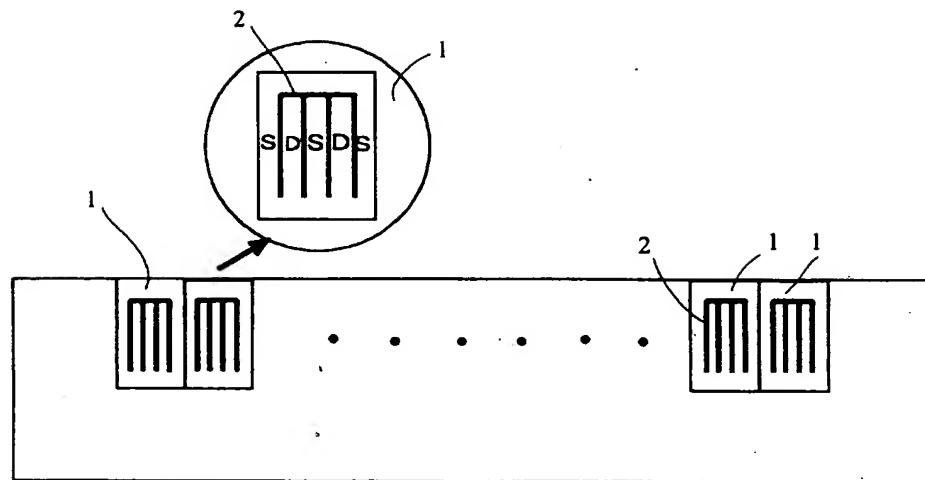


【図13】

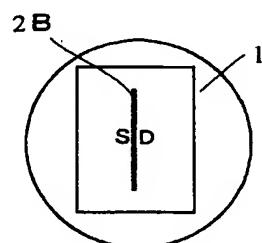


【図14】

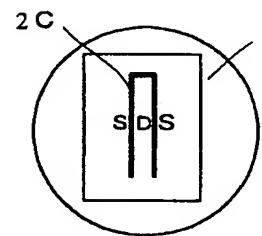
(a)



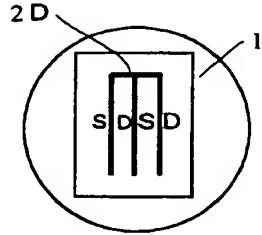
(b)



(b)



(b)



【書類名】 要約書

【要約】

【課題】 ドライバ駆動用の半導体装置を1チップ化する。

【解決手段】 本発明の半導体装置は、陽極ドライバ、陰極ドライバとメモリ部等が1チップ化された表示ディスプレイ駆動用ドライバに適用され、例えば陽極ドライバを所望の出力ビット群毎にグループ分け（陽極ドライバ10, 12, 13, 16）した状態で、各出力ビット群をチップ内の周辺部に配置し、その周辺部に配置された各出力ビット群内の各出力ビットに結線される配線19をチップ形状に合わせて周回させたことを特徴とする。

【選択図】 図11

出願人履歴情報

識別番号 [000001889]

1. 変更年月日 1993年10月20日

[変更理由] 住所変更

住 所 大阪府守口市京阪本通2丁目5番5号

氏 名 三洋電機株式会社